

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150517

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 21/3205

H01L 21/318

(21)Application number : 10-324594

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.11.1998

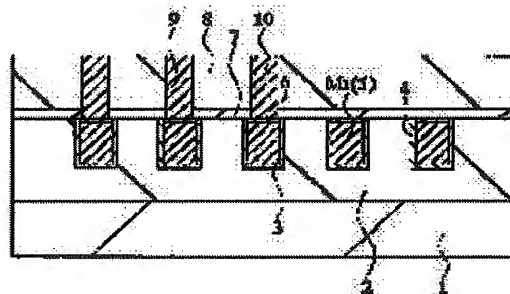
(72)Inventor : IMAI TOSHINORI  
NOGUCHI JUNJI  
OHASHI TADASHI  
SAITO TATSUYUKI  
YAMAGUCHI HIDE  
FUJIWARA TAKESHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND FABRICATION THEREOF

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology for improving reliability of a semiconductor integrated circuit device having a Cu interconnection.

SOLUTION: After a Cu interconnection M1 is formed by Damascene process, a semiconductor substrate 1 is heat treated at about 350° C in a pressure reduced atmosphere of silane based gas thus forming a silicide layer (CuSix) 6 selectively on the surface of the Cu interconnection M1. The silicide layer 6 prevents diffusion of Cu from the Cu interconnection M1 and enhances adhesion between the Cu interconnection M1 and an overlying silicon nitride film 7.



## LEGAL STATUS

[Date of request for examination] 23.04.2004

[Date of sending the examiner's decision of rejection] 22.02.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-150517

(P2000-150517A)

(43) 公開日 平成12年5月30日(2000.5.30)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 21/3205

H 0 1 L 21/88

M 5 F 0 3 3

21/318

21/318

B 5 F 0 5 8

21/88

K

Q

審査請求 未請求 請求項の数9 O L (全7頁)

(21) 出願番号

特願平10-324594

(22) 出願日

平成10年11月16日(1998.11.16)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 今井 俊則

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 野口 純司

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

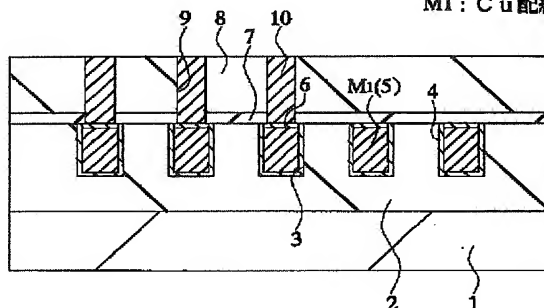
(57) 【要約】

【課題】 Cu配線を有する半導体集積回路装置の信頼度を向上することのできる技術を提供する。

【解決手段】 ダマシンプロセスでCu配線M<sub>1</sub>を形成した後、半導体基板1に減圧状態においてシラン系ガス雰囲気中で約350℃の熱処理を施し、Cu配線M<sub>1</sub>の表面に選択的にシリサイド層(CuSi<sub>x</sub>)6を形成する。このシリサイド層6によって、Cu配線M<sub>1</sub>からのCuの拡散を防ぎ、また、Cu配線M<sub>1</sub>とCu配線M<sub>1</sub>の上層に形成される窒化シリコン膜7との接着性を向上させる。

図 1

6 : シリサイド層  
7 : 窒化シリコン膜  
M<sub>1</sub> : Cu配線



## 【特許請求の範囲】

【請求項1】 第1層間絶縁膜の上層に第2層間絶縁膜が形成され、前記第1層間絶縁膜に溝パターンが形成され、前記溝パターンにCu配線が埋め込まれた半導体集積回路装置であって、前記Cu配線の表面にシリサイド層が形成されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記シリサイド層の厚さは、5～50nm程度であることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置において、前記溝パターンに埋め込まれた前記Cu配線と前記第1層間絶縁膜との間にバリア層が形成されていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置において、前記第2層間絶縁膜は、誘電率が3.0以下の絶縁膜によって構成されていることを特徴とする半導体集積回路装置。

【請求項5】 (a).半導体基板上に形成された層間絶縁膜に溝パターンを形成する工程と、(b).前記層間絶縁膜の上層にバリア層およびCu膜を順次形成する工程と、(c).前記Cu膜の表面および前記バリア層の露出した表面を化学的機械研磨法によって平坦化し、前記溝パターンに前記Cu膜および前記バリア層を埋め込む工程と、(d).0.1 Torr以下の減圧状態においてシラン系ガス雰囲気中で半導体基板に熱処理を施し、前記Cu膜の表面をシリサイド化する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 (a).半導体基板上に形成された層間絶縁膜に溝パターンを形成する工程と、(b).前記層間絶縁膜の上層にバリア層およびCu膜を順次形成する工程と、(c).前記Cu膜の表面を化学的機械研磨法によって平坦化する工程と、(d).0.1 Torr以下の減圧状態においてシラン系ガス雰囲気中で半導体基板に熱処理を施し、前記Cu膜の表面をシリサイド化する工程と、(e).前記バリア層の露出した表面をドライエッチングによって除去する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 (a).半導体基板上に形成された層間絶縁膜に溝パターンを形成する工程と、(b).前記層間絶縁膜の上層にバリア層およびCu膜を順次形成する工程と、(c).前記Cu膜の表面および前記バリア層の露出した表面を化学的機械研磨法によって平坦化し、前記溝パターンに前記Cu膜および前記バリア層を埋め込む工程と、(d).アンモニアガス雰囲気中で半導体基板にプラズマ処理を施し、前記Cu膜の表面を還元する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 (a).半導体基板上に形成された層間絶縁膜に溝パターンを形成する工程と、(b).前記層間絶縁膜の上層にバリア層およびCu膜を順次形成する工程と、

(c).前記Cu膜の表面および前記バリア層の露出した表面を化学的機械研磨法によって平坦化し、前記溝パターンに前記Cu膜および前記バリア層を埋め込む工程と、(d).水素雰囲気中で半導体基板に熱処理を施し、前記Cu膜の表面を還元する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項5または6記載の半導体集積回路装置の製造方法において、前記シラン系ガスは、モノシランガス、またはモノシランと窒素との混合ガスであることを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、絶縁膜に形成された溝内に銅(Cu)またはCuを主体とする導体膜を埋め込むことで形成される配線技術に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】CuまたはCuを主体とする配線(以下、Cu配線という)は、低抵抗化が図れること、高いエレクトロマイグレーション(EM)耐性を有することから、0.2μm以下のプロセスの配線層として有望視されている。Cu配線の形成は、Cuのエッチングまたは層間絶縁膜の埋め込みの難しさから、ダマシンプロセスが採用されている。すなわち、層間絶縁膜を形成した後、この層間絶縁膜に配線の溝形状を形成し、次いでCuを成膜して上記溝にCu膜を埋め込んだ後に化学的機械研磨(Chemical Mechanical Polishing : CMP)技術でその表面を平坦化することによって、Cu配線は形成される。

【0003】なお、Cu配線については、例えばプレスジャーナル発行「月刊セミコンダクター・ワールド(Semiconductor World)」1997年12月号、p172～202などに記載されている。

## 【0004】

【発明が解決しようとする課題】ところで、Cuは酸化されやすい、酸化シリコン膜中に拡散しやすいという性質を有している。Cuの酸化はCu配線の抵抗の増加を招き、Cuの拡散はリーク電流またはMISFET(Metal Insulator Semiconductor Field Effect Transistor)のしきい値電圧のバラツキ、さらに層間絶縁膜の高誘電率化の原因となる。このため、Cu配線の下層にバリア層を設け、さらに、Cu配線の上層にプラズマCVD(Chemical Vapor Deposition)法によって形成される窒化シリコン膜を設けることによって、Cuの酸化およびCuの拡散を防いでいる。

【0005】しかしながら、本発明者が検討したところによると、Cu配線の上層の窒化シリコン膜上に酸化シリコン膜を形成した後、レジストパターンをマスクにしてこの酸化シリコン膜および窒化シリコン膜を順次エッ

チングし、Cu配線に達する開孔部（スルーホール）を設けると、露出したCu配線の表面およびスルーホールの側壁などにCuの酸化物（例えばCuO、Cu<sub>2</sub>O）が存在することが明らかとなった。

【0006】このCuの酸化物からCuが上記酸化シリコン膜に拡散し、また、Cu配線の表面のCuの酸化物によって、Cu配線とスルーホール内に埋め込まれる配線との接触抵抗が増加して、半導体素子の特性が劣化することが考えられた。

【0007】さらに、Cu配線の上層に窒化シリコン膜を形成する前に、例えばアンモニア系の水溶液で洗浄しているにもかかわらず、Cu配線と窒化シリコン膜との間にはCuの酸化物が存在しており、このため両間の密着性は必ずしも良好ではなく、窒化シリコン膜が剥がれる可能性がある。

【0008】本発明の目的は、Cu配線を有する半導体集積回路装置の信頼度を向上することのできる技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

（1）本発明の半導体集積回路装置は、第1層間絶縁膜の上層に第2層間絶縁膜が形成され、第1層間絶縁膜に溝パターンが形成され、溝パターンにCu配線が埋め込まれており、上記Cu配線の表面にはシリサイド層（CuSi<sub>x</sub>）が形成されているものである。

【0011】（2）また、本発明の半導体集積回路装置の製造方法は、まず、半導体基板上に形成された第1層間絶縁膜に溝パターンを形成した後、第1層間絶縁膜の上層にバリア層およびCu膜を順次形成し、次いでCu膜の表面およびバリア層の露出した表面を化学的機械研磨法によって平坦化して、上記溝パターンにCu膜およびバリア層を埋め込む。次に、0.1 Torr以下の減圧状態において、例えばモノシランガス雰囲気中またはモノシランと窒素との混合ガス雰囲気中で半導体基板に350℃以上の温度で熱処理を施し、Cu配線の表面に5～50 nm程度の厚さのシリサイド層（CuSi<sub>x</sub>）を形成するものである。

【0012】上記した手段によれば、Cu配線の表面にシリサイド層を設けることにより、Cu配線の上層の第2層間絶縁膜にスルーホールを形成する際のエッチングをシリサイド層で止めることが可能となるので、Cu配線が露出せず、Cuの酸化物の生成を防ぐことができる。これによって、Cu配線の表面およびスルーホールの側壁などにCuの酸化物が付着しにくくなるので、Cuの拡散を防ぐことができ、また、Cu配線とスルーホ

ール内に埋め込まれる配線との接触抵抗の増加を抑えることができる。

【0013】さらに、Cu配線と第2層間絶縁膜との間にシリサイド層が介在することにより、Cu配線と第2層間絶縁膜との密着性が向上して第2層間絶縁膜が剥がれにくくなる。

【0014】さらに、シリサイド層によってCu配線からのCuの拡散を防ぐことができるので、シリサイド層の上層に窒化シリコン膜を形成する必要がなく、3.0以下の低い誘電率を有する絶縁膜を形成することが可能となって、配線遅延を改善することができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0016】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0017】（実施の形態1）図1は、本発明の一実施の形態である配線層を示す半導体基板の要部断面図である。

【0018】図1に示すように、半導体基板1上に形成された層間絶縁膜2に溝パターン3が設けられており、この溝パターン3には約50 nm程度の厚さの窒化チタン（TiN）膜4およびCuまたはCu合金膜（以下、Cu膜という）5が順次埋め込まれている。TiN膜4はCuの拡散を防ぐバリア層であり、溝パターン3に埋め込まれたCu膜5によってCu配線（CuまたはCuを主体とする配線）M<sub>1</sub>が構成されている。このCu配線M<sub>1</sub>の表面には約5～50 nm程度の厚さのシリサイド層（CuSi<sub>x</sub>）6が形成されている。シリサイド層6の上層には窒化シリコン膜7およびTEOS（Tetra Ethyl Ortho Silicate; Si（OC<sub>2</sub>H<sub>5</sub>）<sub>4</sub>）をソースとしたTEOS膜8が順次形成されており、TEOS膜8および窒化シリコン膜7に設けられ、シリサイド層6に達するスルーホールに、プラグ電極10が形成されている。

【0019】次に、本発明の形態のCu配線の製造方法を図2～図5に示す半導体基板の要部断面図を用いて説明する。

【0020】まず、図2に示すように、半導体素子（図示せず）が形成された半導体基板1上に層間絶縁膜2を形成する。この層間絶縁膜2は、例えば、酸化シリコン膜および平坦化されたBPSG（Boron-doped Phospho Silicate Glass）膜からなる積層膜によって構成されている。

【0021】次に、レジストパターンをマスクにして上記層間絶縁膜2をエッチングすることによって、溝パターン3を形成した後、上記レジストパターンを除去し、次いで半導体基板1上にTiN膜4およびCu膜5を順次堆積する。TiN膜4は、スパッタリング法またはC

VD法によって成膜され、その厚さは約50nm程度である。バリア層としては、タンタル(Ta)膜、窒化タンタル(TaN)膜、窒化タングステン(WN)膜、またはこれら膜によって構成される積層膜などを採用してもよい。

【0022】次いで、図3に示すように、Cu膜5の表面およびTiN膜4の露出した表面をCMP法によって平坦化し、溝パターン3にCu膜5およびTiN膜4を埋め込み、Cu膜5によってCu配線M<sub>1</sub>を構成する。

【0023】次に、図4に示すように、0.1 Torr以下の減圧状態においてシラン系ガス雰囲気中で半導体基板1に350℃以上の熱処理を施して、Cu配線M<sub>1</sub>の表面に選択的に、例えば約5～50nm程度の厚さのシリサイド層6を形成する。シラン系ガスは、例えばモノシラン(SiH<sub>4</sub>)ガスまたはSiH<sub>4</sub>と窒素(N<sub>2</sub>)との混合ガスである。

【0024】次に、図5に示すように、半導体基板1上にプラズマCVD法によって窒化シリコン膜7を堆積する。次いで、プラズマCVD法によってTEOSをソースとしたTEOS膜8を堆積した後、レジストパターンをマスクにしてTEOS膜8および窒化シリコン膜7を順次エッチングすることによって、Cu配線M<sub>1</sub>上のシリサイド層6に達するスルーホール9を形成する。ここで、上記エッチングにおいて、シリサイド層6をエッチングのストッパ層として用いる。

【0025】なお、シリサイド層6の上層に形成される層間絶縁膜は、窒化シリコン膜7およびTEOS膜8に限定する必要はなく、例えばSiOF膜、フッ素カーボン膜、無機SOG膜、有機SOG膜などの3.0以下の低い誘電率を有する絶縁膜を形成してもよい。

【0026】この後、上記レジストパターンを除去し、次いでスルーホール9にプラグ電極10を形成することによって、図1に示した配線層が形成される。

【0027】このように、本実施の形態1によれば、Cu配線M<sub>1</sub>の表面にシリサイド層6を設けることにより、TEOS膜8および窒化シリコン膜7にスルーホール9を形成する際のエッチングをシリサイド層6で止めることができるので、Cu配線M<sub>1</sub>が露出せず、Cuの酸化物の生成を防ぐことができる。これによって、Cu配線M<sub>1</sub>の表面およびスルーホール9の側壁などにCuの酸化物が付着しにくくなるので、Cuの拡散を防ぐことができ、また、Cu配線M<sub>1</sub>とスルーホール9内に形成されるプラグ電極10との接触抵抗の増加を抑えることができる。

【0028】さらに、Cu配線M<sub>1</sub>と窒化シリコン膜7との間にシリサイド層6が介在することにより、Cu配線M<sub>1</sub>と窒化シリコン膜7との密着性が向上して窒化シリコン膜7が剥がれにくくなる。

【0029】さらに、シリサイド層6によってCu配線M<sub>1</sub>からのCuの拡散を防ぐことができるので、シリサ

イド層6の上層に窒化シリコン膜4を形成する必要がなく、3.0以下の低い誘電率を有する絶縁膜を形成することが可能となって、配線遅延を改善することができる。

【0030】(実施の形態2) 本実施の他の形態であるCu配線の製造方法を図6および図7に示す半導体基板の要部断面図を用いて説明する。

【0031】まず、前記実施の形態1において前記図2を用いて説明した製造方法と同様に、半導体基板1に形成された層間絶縁膜2に溝パターン3を設けた後、半導体基板1上にTiN膜4およびCu膜5を順次堆積する。

【0032】次に、図6に示すように、TiN膜4をストッパ層としてCu膜5の表面をCMP法によって平坦化し、溝パターン3にCu膜5を埋め込み、Cu膜5によってCu配線M<sub>1</sub>を構成する。

【0033】次いで、図7に示すように、0.1 Torr以下の減圧状態においてシラン系ガス雰囲気中で半導体基板1に熱処理を施して、Cu配線M<sub>1</sub>の表面に選択的にシリサイド層6を形成する。

【0034】この後、ドライエッチングによって、層間絶縁膜2上のTiN膜4を除去し、次いで前記実施の形態1に記載した製造方法と同様に、シリサイド層6の上層に窒化シリコン膜7およびTEOS膜8を順次形成した後、TEOS膜8および窒化シリコン膜7に設けられたスルーホール9にプラグ電極10を形成する。

【0035】このように、本実施の形態2によれば、CMP法でのCu膜5の削り過ぎによるCu配線の抵抗値の増加を防ぐことができ、また、TiN膜4の削り残しを防ぐことができ、リーク電流による短絡不良を防止できる。

【0036】(実施の形態3) 本実施の他の形態であるCu配線の製造方法を図8に示した半導体基板の要部断面図を用いて説明する。

【0037】まず、前記実施の形態1において前記図2および前記図3を用いて説明した製造方法と同様に、半導体基板1に形成された層間絶縁膜2に溝パターン3を設けた後、半導体基板1上にTiN膜4およびCu膜5を順次堆積し、次いでCu膜5の表面およびTiN膜4の露出した表面をCMP法によって平坦化し、溝パターン3にCu膜5およびTiN膜4を埋め込み、Cu膜5によってCu配線M<sub>1</sub>を構成する。

【0038】次に、図8に示すように、アンモニア(NH<sub>3</sub>)ガス雰囲気中で半導体基板1にプラズマ処理を施して、Cu配線M<sub>1</sub>の表面を還元した後、半導体基板1上にプラズマCVD法によって窒化シリコン膜7を堆積し、次いでプラズマCVD法によってTEOSをソースとしたTEOS膜8を堆積する。この後、レジストパターンをマスクにしてTEOS膜8および窒化シリコン膜7を順次エッチングすることによって、Cu配線M<sub>1</sub>に

達するスルーホール9を形成し、次いでスルーホール9にプラグ電極10を形成する。

【0039】なお、前記実施の形態3では、 $\text{NH}_3$  ガス雰囲気中でプラズマ処理を施すことによってCu配線 $M_1$ の表面を還元したが、水素( $\text{H}_2$ )雰囲気中で半導体基板1に熱処理を施すことによってCu配線 $M_1$ の表面を還元してもよい。

【0040】このように、本実施の形態3によれば、Cu配線 $M_1$ の表面におけるCuの酸化物の生成を防ぐことができるので、Cu配線 $M_1$ とスルーホール9内に形成されるプラグ電極10との接触抵抗の増加を抑えることができる。

【0041】さらに、Cuの酸化物がCu配線 $M_1$ と窒化シリコン膜7との間に介在するのを防ぐことができるので、Cu配線 $M_1$ と窒化シリコン膜7との密着性が向上して窒化シリコン膜7が剥がれにくくなる。

【0042】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0043】例えば前記実施の形態においては、いわゆるダマシン配線に本発明を適用した場合について説明したが、これに限定されるものではなく、絶縁膜に配線形成用の溝を前記実施の形態1～3と同様に形成した後、その溝の底から下層の接続部(配線または半導体基板)の表面が露出するような接続孔をフォトリソグラフィおよびドライエッチング技術で形成し、その後、前記実施の形態1～3と同様にバリア層およびCuを成膜し、CMPで削り、シリサイド層を形成し、Cu配線を形成する、いわゆるデュアルダマシン法に適用してもよい。

【0044】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0045】(1)本発明によれば、Cuの拡散を防ぐことができ、Cu配線とスルーホール内に埋め込まれる配線との接触抵抗の増加を抑えることができ、さらに、Cu配線とその上層の層間絶縁膜との密着性が向上して

層間絶縁膜が剥がれにくくなることから、Cu配線を有する半導体集積回路装置の信頼度が向上する。

【0046】(2)また、本発明によれば、3.0以下の低い誘電率を有する絶縁膜によってCu配線の上層の層間絶縁膜を構成することが可能となり、配線遅延を改善することができるので、半導体集積回路装置の高速化を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるCu配線を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるCu配線を有する半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図3】図2に続くCu配線を有する半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図4】図3に続くCu配線を有する半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図5】図4に続くCu配線を有する半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図6】本発明の他の実施の形態であるCu配線を有する半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図7】図6に続くCu配線を有する半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

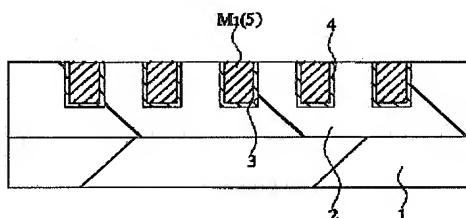
【図8】本発明のさらに他の実施の形態であるCu配線を有する半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 層間絶縁膜
- 3 溝パターン
- 4 窒化チタン膜
- 5 銅膜
- 6 シリサイド層
- 7 窒化シリコン膜
- 8 TEOS膜
- 9 スルーホール
- 10 プラグ電極
- $M_1$  銅配線

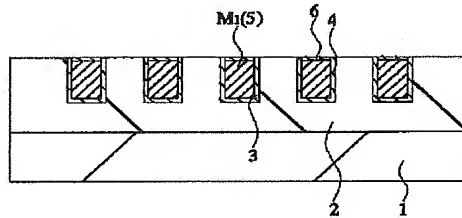
【図3】

図 3



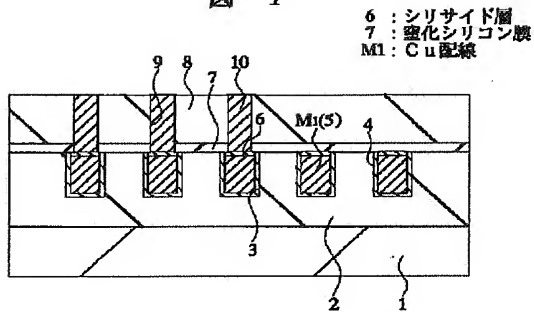
【図4】

図 4



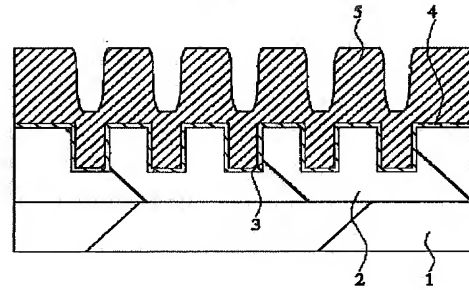
【図1】

図 1



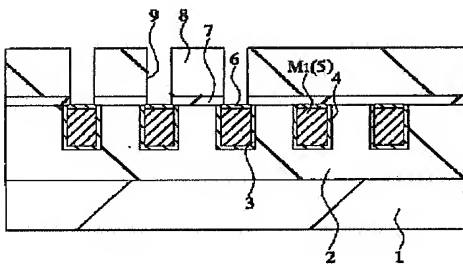
【図2】

図 2



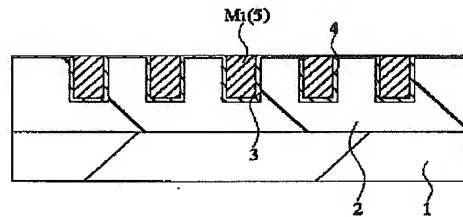
【図5】

図 5



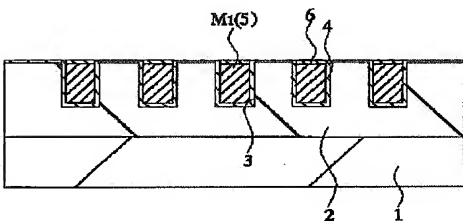
【図6】

図 6



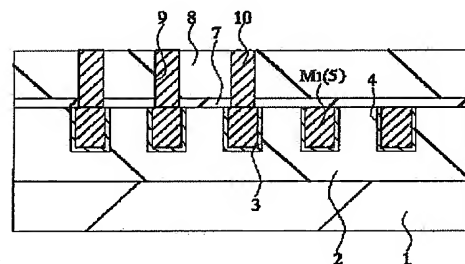
【図7】

図 7



【図8】

図 8



フロントページの続き

- (72)発明者 大橋 直史  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内
- (72)発明者 齋藤 達之  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内
- (72)発明者 山口 日出  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

- (72)発明者 藤原 剛  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内



Fターム(参考) 5F033 HH11 HH21 HH25 HH32 HH33  
HH34 KK11 KK21 KK25 KK32  
KK33 KK34 MM01 MM02 MM05  
MM12 MM13 PP06 PP15 QQ09  
QQ10 QQ24 QQ37 QQ48 QQ70  
QQ73 QQ85 QQ94 RR01 RR04  
RR09 RR11 RR15 RR25 SS04  
SS15 TT02 WW02 WW05 WW09  
XX01 XX09 XX14 XX20  
5F058 BA10 BD01 BD04 BD10 BF07  
BF25 BJ02